

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124869

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

H04J 3/04
H03M 13/00
H04J 3/00
// H03M 9/00

(21)Application number : 10-293688

(71)Applicant : NEC CORP

(22)Date of filing : 15.10.1998

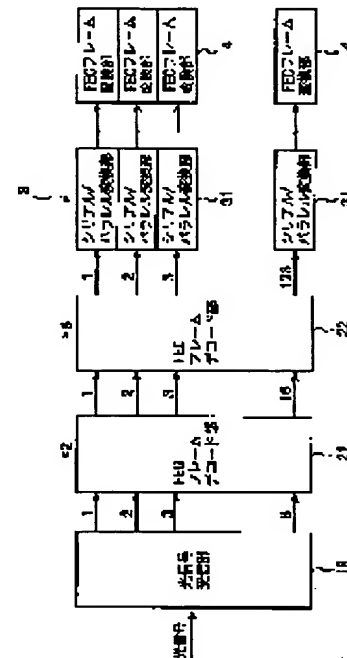
(72)Inventor : YANAGI NORIO
NOMURA KENICHI
FUJISAWA TAKANORI
HARA YASUSHI
TANAKA HIROAKI

(54) METHOD AND DEVICE FOR FEC FRAME PROCESSING

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a processing procedure and to attain reduction of a hardware circuit scale to be mounted by processing a divided optical signal with a 3 parallel system in serial/parallel converting the signal.

SOLUTION: Each signal which is divided into eight is divided into two at a first FEC frame decode part 21 and are made into 16 signals. An optical signal which, is divided into two before is further divided into 8 and are made into 128 signals at a second FEC frame decode part 22. A serial/parallel conversion part 3 at the next step is an assembly of individual serial/parallel conversion part 31 provided in accordance with respective signals. Then, individual serial/parallel conversion part 31 serial/parallel converts the signal divided into 128, and gives them to respective disposed three FEC frame conversion parts 41 to 43. Thus, the signal divided into 128 is divided into three signals through the serial/parallel conversion part 3 and processed.



LEGAL STATUS

[Date of request for examination] 15.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124869

(P2000-124869A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 J 3/04		H 0 4 J 3/04	A 5 J 0 6 5
H 0 3 M 13/00		H 0 3 M 13/00	5 K 0 2 8
H 0 4 J 3/00		H 0 4 J 3/00	Q
// H 0 3 M 9/00		H 0 3 M 9/00	C

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平10-293688
(22) 出願日 平成10年10月15日 (1998.10.15)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 柳 紀夫
東京都港区芝五丁目7番1号 日本電気株式会社内
(72) 発明者 野村 健一
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 100079005
弁理士 宇高 克己

最終頁に続く

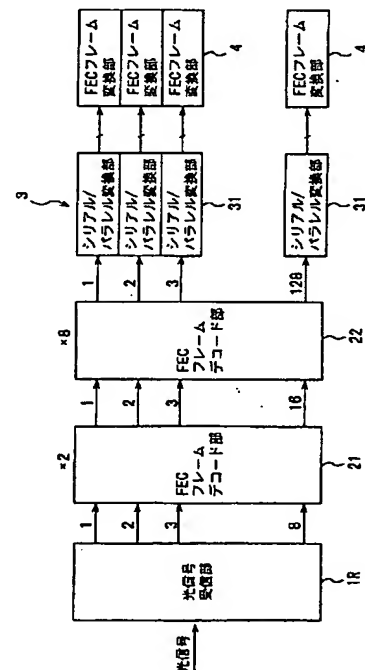
(54) 【発明の名称】 FECフレーム処理方法、及びFECフレーム処理装置

(57) 【要約】

FECフレーム処理方法

【課題】 簡潔な構成のハードウェアによって処理可能なFECフレーム処理方法を提供すること。

【解決手段】 入出力される光信号に含まれるFECフレームを128分割し、該128分割された光信号をシリアル/パラレル変換するに際して3パラレル方式で処理するFECフレーム処理方法、ならびに、3パラレル方式によりシリアル/パラレル変換した光信号を、128多重化することによりFECフレームを形成した光信号として出力されるFECフレーム処理方法によって解決される。



【特許請求の範囲】

【請求項 1】 入力される光信号に含まれる FEC フレームを 128 分割し、該 128 分割された光信号をシリアル／パラレル変換するに際して 3 パラレル方式で処理することを特徴とする FEC フレーム処理方法。

【請求項 2】 3 パラレル方式によりシリアル／パラレル変換した光信号を、128 多重化することにより FEC フレームを形成した光信号として出力されることを特徴とする FEC フレーム処理方法。

【請求項 3】 シリアル方式の 128 分割された FEC フレームを 3 パラレルに変換するシリアル／パラレル変換手段と、前記シリアル／パラレル変換手段によって変換された各信号の予め固定されたビット位置のビットを除去するビット除去手段とを有することを特徴とする FEC フレーム処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、FEC フレーム処理方法に関する。

【0002】

【従来技術】 従来の FEC フレーム処理においては、入力された 32,640 bit の光信号を 128 分割する。この光信号を、偶数倍の回路で処理していたため、FEC フレーム変換部の回路規模が大きくなり、非効率であった。図 7 は、従来技術にかかる FEC フレーム変換部の構成を略示したものであり、シリアル／パラレル変換部 32 において変換された 255 bit の光信号を偶数、ここでは 4 パラレル処理することを示すものである。

【0003】 このように 4 パラレル処理されたそれぞれの光信号から 1 ビット目が OH 信号であるため除去され、そしてリードソロモン信号（シンδροーム）239～255 ビットが除去される。この状態は、図 8 に示すようになる。表の上欄から下欄にかけては、各フレーム変換部 51～54 で処理される内容を示すものである。この表の中で網かけされた数字はそれぞれ除去されることを示すものである。

【0004】 このように 4 パラレル処理を行う従来技術にあっては、除去すべき OH 信号およびリードソロモン信号のパターンが 4 つ存在することになり、フレーム変換部 51～54 を実装する回路規模が大きくなる欠点があった。

【0005】

【発明が解決しようとする課題】 本発明は、簡潔な構成のハードウェアによって処理可能な FEC フレーム処理方法を提供することを課題とする。

【0006】

【課題を解決するための手段】 本発明の課題は、入力される光信号に含まれる FEC フレームを 128 分割し、該 128 分割された光信号をシリアル／パラレル変換す

るに際して 3 パラレル方式で処理する FEC フレーム処理方法、ならびに、3 パラレル方式によりシリアル／パラレル変換した光信号を、128 多重化することにより FEC フレームを形成した光信号として出力される FEC フレーム処理方法によって解決される。

【0007】 また、本発明の課題は、シリアル方式の 128 分割された FEC フレームを 3 パラレルに変換するシリアル／パラレル変換手段と、前記シリアル／パラレル変換手段によって変換された各信号の予め固定されたビット位置のビットを除去するビット除去手段とを有することを特徴とする FEC フレーム処理装置によって解決される。

【0008】 本発明にかかる FEC フレーム処理方法では、入出力される光信号に含まれる FEC フレームを 128 分割した後、その 128 分割された光信号を、3 パラレル方式で処理するものである。このような 3 パラレル処理によれば、OH 信号、リードソロモン信号の除去が容易に実行でき、FEC フレームを処理するために実装するハードウェアの回路規模を縮小するものである。すなわち、3 パラレル方式を採用した結果、各フレーム変換部で処理するフレームパターンは 1 パターンとなることから、処理手順が簡素化され、実装するハードウェア回路規模を縮小することが可能となる。

【0009】

【発明の実施の形態】 以下、実施例を示す添付図を参照して本発明を開示する。第 1 の実施例の構成を示す図 1 を参照すると、光信号受信部 1 において、FEC フレームで構成される光信号を受信するとともに、FEC フレームで構成される光信号を 8 分割する。

【0010】 第 1 の FEC フレームデコード部 21 では、8 分割された各々の信号を 2 分割して、16 信号とする。第 2 の FEC フレームデコード部 22 では、先に 2 分割された光信号をさらに 8 分割して 128 信号とする。次段のシリアル／パラレル変換部 3 は、それぞれの信号に対応して設けられた個々のシリアル／パラレル変換部 31 の集合体である。個々のシリアル／パラレル変換部 31 は、前述の過程を経て 128 分割された信号をシリアル／パラレル変換し、図 2 に示すように配設された、それぞれ 3 つの FEC フレーム変換部 41～43 に与える。このような 3 つの FEC フレーム変換部 41～43 によって、図 1 の FEC フレーム変換部 4 が形成されている。

【0011】 FEC フレーム変換部 4 において 3 分割されたそれぞれの光信号から、図 3 に即して後述するように、FEC フレームの OH 信号とリードソロモン信号が除去される。図 3 は光信号受信部 1 に入力される光信号の FEC フレームを示すもので、128 bit の OH 信号、30,464 (=238×128) bit の情報信号、2,048 (=16×128) bit の RS 信号の合計 32,640 bit のフォーマットとして構成され

る。

【0012】図1に関連して既述のように図3の光信号を128分割すると、図3のFEC フレームは、図1のシリアル/パラレル変換部3に入力されるとき、図4のように1bitのOH信号、238bitの情報信号、16bitのRS信号の合計255bitのフレームフォーマットとなる。この128分割された信号をシリアル/パラレル変換部3を介して3つの信号に分けて処理される。

【0013】図2のFECフレーム変換部41～43において、図5に示す網かけ部分に該当する1(=OH信号)および239～255(=RS信号)のように常に固定のbitを除去することにより、光信号に含まれるOH信号と、リードソロモン信号(シンドローム)を除去が可能となる。本発明の効果は、従来では、図7に示したシリアル/パラレル変換部32で信号を4つに分割して処理していたが、4つに分割した場合、図8に示すように、除去すべきOH信号、リードソロモン信号のパターンが4つ存在してしまうため、図7のフレーム変換部51～54を実装する回路規模が大きくなっていた。これに対し、本発明においては図2の様に3つに分割することにより、ハードウェア回路規模を縮小することが可能となる。

【0014】図1、図2は入力(受信)された信号に対する処理を示す実施例であるが、同様に出力(送信)する信号に対しても同様の考え方をを用いることができる。図6はこの構成を示すもので、図1とほぼ同様の構成であるが、信号は逆方向に進行する。FECフレーム変換部4で図5の様にフォーマットされたデータが3パラレル処理される。その後、シリアル/パラレル変換部31においてシリアル信号に変換される。

【0015】得られた128分割された信号は第1のFECフレームエンコード部21で16信号にエンコードされ、次いで第2のFECフレームエンコード部22で8信号にエンコードされ、次いで光信号送信部2を経て光信号が出力(送信)される。このような出力の際の処理においても、入力の場合と同様に作用し、信号を3分割によって処理することにより、不要信号の除去が簡潔

な回路構成によって実行可能となり、実装すべきハードウェア回路規模の縮小が可能となる。

【図面の簡単な説明】

【図1】図1は本発明にかかるFECフレーム処理方法(受信)を実行するに適する回路構成の実施例を示すブロック図である。

【図2】図2は本発明にかかるFECフレーム処理方法を実行するに適するFECフレーム変換部の回路構成の実施例を示すブロック図である。

【図3】図3は処理すべき光信号のFECフレームの説明図である。

【図4】図4はシリアル/パラレル変換後のフレームフォーマットの説明図である。

【図5】図5はフレーム変換後のデータ配列の説明図である。

【図6】図6は本発明にかかるFECフレーム処理方法(送信)を実行するに適する回路構成の実施例を示すブロック図である。

【図7】図7は従来技術にかかるFECフレーム処理方法を実行するFECフレーム変換部の回路構成を示すブロック図である。

【図8】図8は従来技術にかかるFECフレーム処理方法におけるフレーム変換後のデータ配列の説明図である。

【符号の説明】

1 R 光信号受信部

1 S 光信号送信部

2 1 第1のFECフレームデコード部

2 2 第2のFECフレームデコード部

2 3 第1のFECフレームエンコード部

2 4 第2のFECフレームエンコード部

3 シリアル/パラレル変換部(集合体)

3 1 シリアル/パラレル変換部

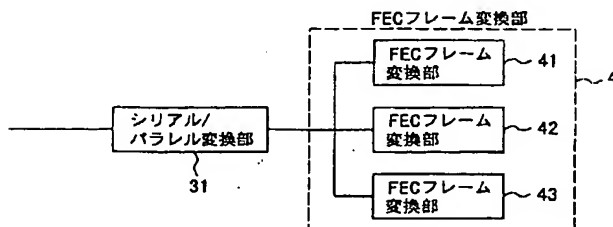
3 2 シリアル/パラレル変換部

4 FECフレーム変換部(集合体)

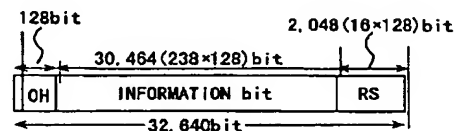
4 1、4 2、4 3 FECフレーム変換部

5 1、5 2、5 3、5 4 FECフレーム変換部

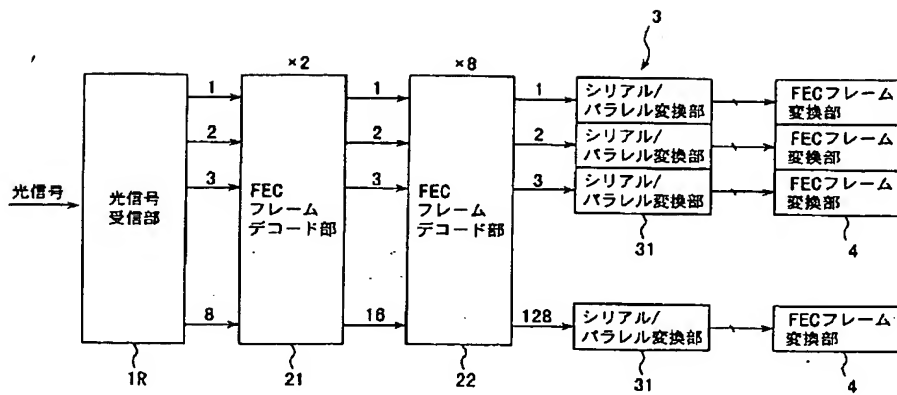
【図2】



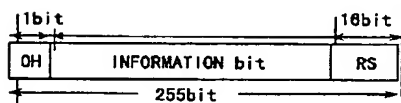
【図3】



【図1】



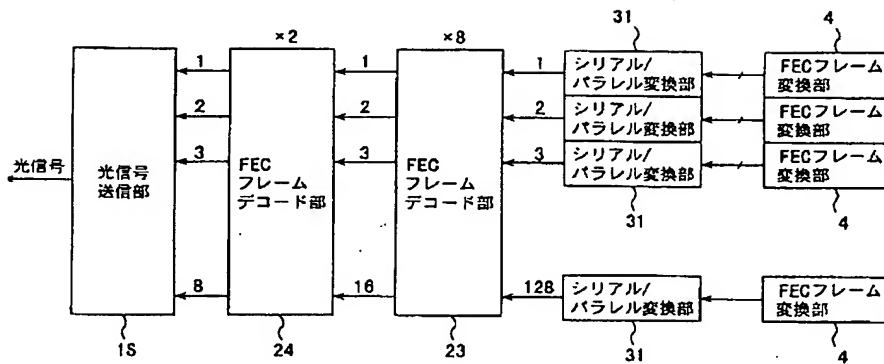
【図4】



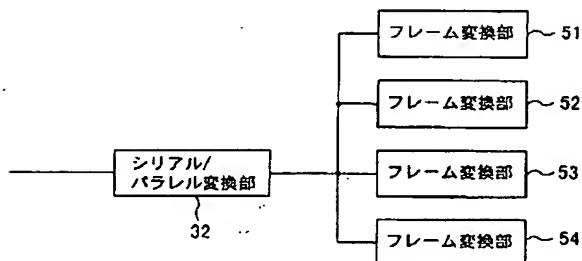
【図5】



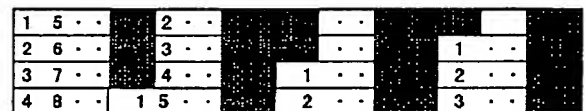
【図6】



【図7】



【図8】



*上段よりフレーム交換部51～54で扱うデータを示す
 *1: OHのため除かれる
 *239～255: RSのため除かれる

フロントページの続き

(72)発明者 藤澤 隆則

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 原 康

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 田中 宏明

東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5J065 AB01 AF03 AG06 AH14

5K028 AA06 BB08 KK03 RR03 RR04

SS16